

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-074360

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

H01L 29/786

(21)Application number : 06-025952

(71)Applicant : GOLD STAR ELECTRON CO LTD

(22)Date of filing : 31.01.1994

(72)Inventor : HUH CHANG U

(30)Priority

Priority number : 93 9301161

Priority date : 29.01.1993

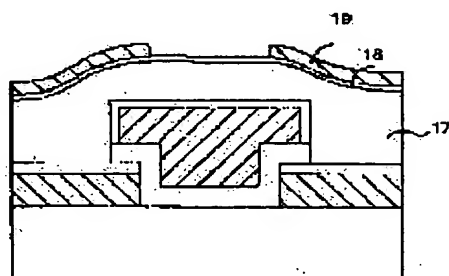
Priority country : KR

**(54) METHOD FOR MANUFACTURING VERTICAL THIN-FILM TRANSISTOR**

(57)Abstract:

**PURPOSE:** To provide a method for manufacturing a vertical thin-film transistor with an improved current on/off ratio by easily forming a channel between a source and a drain due to a voltage applied to a gate and improving the electrical conductance by reducing a series resistance at the upper part of the channel when current conducts.

**CONSTITUTION:** A source electrode and a first semiconductor layer of amorphous Si that is doped to a high-concentration n-type are successively deposited on a glass substrate, a source electrode of a part where a gate electrode is formed and the first semiconductor layer are selectively eliminated, SiN or SiO<sub>2</sub> insulation film and Al for gate are successively deposited on an entire surface, Al and the insulation film are selectively eliminated and a gate electrode is formed, and then a gate electrode surface is subjected to anode oxidation and alumina gate insulation film is formed. Then, a second semiconductor layer 17 made of intrinsic amorphous Si is deposited on an entire surface, a third semiconductor layer 18 with a high-concentration n-type amorphous Si is deposited on it, and further a metal 19 for drain electrode is deposited, thus completing a vertical thin-film transistor.



Best Available Copy

**LEGAL STATUS**

[Date of request for examination]

31.01.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

|  |            |
|--|------------|
| [Patent number]  | 2592044    |
| [Date of registration]   | 19.12.1996 |
| [Number of appeal against examiner's decision of rejection]          |            |
| [Date of requesting appeal against examiner's decision of rejection] |            |
| [Date of extinction of right]  |            |

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74360

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 X

審査請求 有 請求項の数 8 F D (全 6 頁)

(21) 出願番号 特願平6-25952

(22) 出願日 平成6年(1994)1月31日

(31) 優先権主張番号 1 1 6 1 / 1 9 9 3

(32) 優先日 1993年1月29日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591044131

ゴールド スター エレクトロニクスカンパニー リミテッド

GOLD STAR ELECTRONIC COMPANY LIMITED

大韓民国 チュングチェオンブグド チェオンジュンシ ヒャンギエオンードン 50

(72) 発明者 チャン・ウ・ホ

大韓民国・ソウル・シ・ソンドン・グ・ヘンダン・1ドン・130-99 8/7

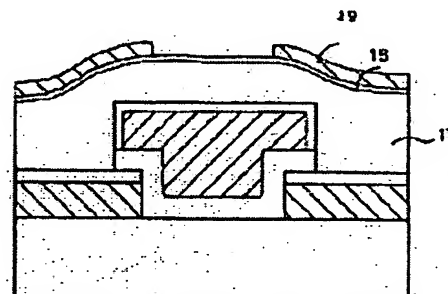
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 垂直形薄膜トランジスタの製造方法

(57) 【要約】 (修正有)

【目的】 ゲート印加電圧でソースとドレイン間のチャンネルが容易に形成され、電流導通状態になる時にチャンネル上部の直列抵抗を減らして伝導度を向上させることにより、電流のオン/オフ比が良好な垂直形薄膜トランジスタの製造方法を提供する。

【構成】 ガラス基板の上にソース電極と高濃度n型にドーパされた非晶質Siの第1半導体層を順次蒸着し、ゲート電極を形成する部分の付記ソース電極及び第1半導体層を選択的に除去し、全面にSiNまたはSiO<sub>2</sub>の絶縁膜とゲート用Alを順に蒸着し、Alと絶縁膜を選択除去してゲート電極を形成した後、ゲート電極表面を陽極酸化してアルミナのゲート絶縁膜を形成する。次に全面に真性非晶質Siの第2半導体層17を蒸着し、その上に高濃度n型非晶質Siの第3半導体層18を蒸着し、さらにドレイン電極用金属19を蒸着して垂直形薄膜トランジスタを完成する。



【特許請求の範囲】

【請求項 1】 基板上にソース電極と高濃度 $n$ 形でドーピングされた第1半導体層とを順次に形成する工程と、

ゲート電極を形成する部分の前記ソース電極及び第1半導体層を選択的に除去する工程と、

全面に絶縁膜とゲート用金属を蒸着し、前記金属と絶縁膜を選択的に除去してゲート電極を形成する工程と、前記ゲート電極の露出した表面を陽極酸化して、ゲート絶縁膜を形成する工程と、

全面に真性第2半導体層を形成し、その第2半導体層上に高濃度 $n$ 形でドーピングされた第3半導体層を蒸着する工程と、

前記第3半導体層上にドレーン電極を形成する工程とからなることを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 2】 基板の上にソース電極と高濃度 $n$ 形でドーピングされた第1半導体層とを順次に形成する工程と、

全面に絶縁膜とゲート用金属を蒸着し、前記金属と絶縁膜を選択的に除去してゲート電極を形成する工程と、

前記ゲート電極の露出した表面を陽極酸化して、ゲート絶縁膜を形成する工程と、

全面に真性第2半導体層を形成し、その第2半導体層上に高濃度 $n$ 形でドーピングされた第3半導体層を蒸着する工程と、

前記第3半導体層上にドレーン電極を形成する工程とからなることを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 3】 請求項 1又は2において、前記ゲート用金属をアルミニウムで形成することを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 4】 請求項 1又は2において、前記陽極酸化法はゲート用金属としてアルミニウムを使用し、硫酸又は硫酸電解質溶液で20℃の温度と130～260A/m<sup>2</sup>の電流密度の条件で遂行してゲート絶縁膜としてのアルミナを形成することを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 5】 請求項 1又は2において、前記第1半導体層及び第3半導体層は非晶質シリコン又は微細結晶シリコンを使用して形成することを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 6】 請求項 1又は2において、前記第2半導体層は非晶質シリコン又は多結晶シリコンを使用して形成することを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 7】 請求項 1、2又は4において、前記ゲート絶縁膜の厚さは2000Å程度で形成することを特徴とする垂直形薄膜トランジスターの製造方法。

【請求項 8】 請求項 1又は2において、

前記ゲート用金属と第2半導体層は同じ厚さで形成することを特徴とする垂直形薄膜トランジスターの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスターに関するもので、詳しくは電流駆動能力を向上させるのに適した垂直形薄膜トランジスターの製造方法に関するものである。

【0002】

【従来の技術】 一般的に、薄膜トランジスターは、1μm以上のSRAM素子において負荷抵抗の代わりに使用されるが、又は液晶ディスプレイ装置において各画素領域の画素データ信号をスイッチングするか、密着イメージセンサー（Contact Image Sensor）において各フォトダイオードで生成された光電荷を順次にスイッチングするスイッチング素子として広く使用される。

【0003】 このように薄膜トランジスターは集積化されたLCD又は密着イメージセンサーでスイッチング素子として使用されるため、ソースとドレーン間にリーク電流があつてはならず、また、ゲートとソースとドレーン間の寄生キャパシタンスが小さい場合にだけ正確で早いスイッチング動作を遂行し得る。このような従来の垂直形薄膜トランジスターを添付した図面に基づいて説明すると次のようである。

【0004】 図1は従来の垂直形薄膜トランジスターの製造方法を示す断面図、図2は図1のように製造された垂直形薄膜トランジスターの動作を説明するための断面図、図3は図1のゲート電圧によるソース/ドレーン間の電圧、電流変化を示すグラフである。

【0005】 従来の垂直形薄膜トランジスターの製造方法は、図1aに示すように、ガラス基板1の全面にゲート電極2を形成し、ゲート電極2上にゲート絶縁膜3、第1の真性非晶質シリコン（ $i-a-Si:H$ ）、オーミック接触（Ohmic Contact）のために高濃度 $n$ 形（ $n^+$ ）でドーピングされた非晶質シリコン（ $n^+-Si:H$ ）5及び金属電極6を順次に積層する。

【0006】 そして、図1bに示すように、金属電極6と、高濃度 $n$ 形でドーピングされた非晶質シリコン5を選択的に除去してソース電極6a、6bを形成する。続いて、図1cに示すように、全面に活性層として使用するべきである真性非晶質シリコン（ $i-a-Si:H$ ）4aを数千Å以下で蒸着し、その上にオーミック接触のために高濃度 $n$ 形でドーピングされた非晶質シリコン7と、ドレーン電極として使用する金属電極8を順次に蒸着して従来の垂直形薄膜トランジスターを製造する。

【0007】 このように製造された従来の垂直形薄膜トランジスターの構造は、ゲート電極2が下端に形成され、ソース電極6a及びドレーン電極8がゲート電極2

の上端に形成された構造である。このように製造された従来の垂直形薄膜トランジスタの動作は次のようである。

【0008】即ち、図2に示すように、ソース電極6aの上面はショットキー接触(Schottky Contact)の特性を有し、下面は高濃度n形でドーピングされた非晶質シリコン層5aと接触しているためオーム接触特性を有するので、ゲート電極2に電圧を印加するとゲート電極に印加された電圧の電界によりソース電極6aの下端の真性非晶質シリコン層4にチャンネルが形成され、ソース電極6aに電圧を印加すると電流はソース電極6aの下端から上端のドレーン電極8に流れる。

【0009】図3はゲート電極2に印加される電圧によるソース/ドレーンに流れる電流の変化を示すグラフで、ゲート電圧2に印加される電圧が高くなるにつれてソース/ドレーンに流れる電流が増加し、ソース/ドレーン間の電圧が高くなるほどソース/ドレーン間に流れる電流が増加することを示す。

【0010】

【発明が解決しようとする課題】しかし、このような従来の垂直形薄膜トランジスタにおいては、次のような問題点があった。ゲート電極2がチャンネルを一方方向に制御し得ないだけでなく、ソース電極6aと上面の真性非晶質シリコン間にショットキー接触特性を有するが、微弱であるので、ソースとドレーン間の電圧差が大きいためソースとドレーン間にリーク電流が流れるためトランジスタの信頼度が低下する。活性層として使用する真性非晶質シリコンを二回にわたって形成するため、工程が複雑で製造時間が長くなり生産性が低下する。ソースとゲート電極間の寄生容量が形成されるため、薄膜トランジスタの特性が低下する。

【0011】従って、本発明はこのような問題点を解決するためになされたもので、ゲート印加電圧でソース及びドレーン間のチャンネルを容易に形成し、チャンネルが電流導通状態になる時にチャンネル上部の直列抵抗を減らしてチャンネル伝導度を向上させることにより、電流のオン/オフ比が良好な垂直形薄膜トランジスタを提供することをその目的とする。

【0012】

【課題を解決するための手段】このような目的を達成するための本発明は、基板上にソース電極と高濃度n形でドーピングされた第1半導体層とを順次に形成する第1工程と、ゲート電極を形成する部分の前記ソース電極及び第1半導体層を選択的に除去する第2工程と、その全面に絶縁膜とゲート用金属を蒸着し、前記金属と絶縁膜を選択的に除去してゲート電極を形成する第3工程と、前記ゲート電極が露出した表面を陽極酸化してゲート絶縁膜を形成する第4工程と、その全面に真性第2半導体層を形成しその第2半導体層上に高濃度n形でドーピングされた第3半導体層を蒸着する第5工程と、前

記第3半導体層上にドレーン電極を形成する第6工程とからなるものである。

【0013】

【実施例】前述したような本発明を添付図面に基ついてより詳細に説明すると次のようである。図4～図10は本発明の第1実施例の垂直形薄膜トランジスタの製造方法を示す工程断面図である。本発明の第1実施例の垂直形薄膜トランジスタの製造方法は、図4に示すように、ガラス基板11上に真空蒸着装置(CVD, sputter, evaporator等)を用いてソース電極12を数ナノメートル程度に蒸着した後、その上にPECVD(Plasma Enhanced Chemical Vapor Deposition)法で高濃度n形ドーピング非晶質シリコン(n<sup>+</sup>a-Si:H)13を数百Å程度の厚さに蒸着する。

【0014】図5のように中央部分(ゲート電極を形成する領域)のソース電極12と高濃度n形ドーピング非晶質シリコン13を選択的に除去する。その全面に図6のように絶縁膜(SiN又はSiO<sub>2</sub>)14を蒸着し、絶縁膜14上にゲート電極用アルミニウム15を真空蒸着装置(sputter, E-beam, evaporator等)で数ナノメートル程度に蒸着する。

【0015】図7のようにゲートマスクを用いたフォトリソエッチング工程でアルミニウム15を選択的に除去してゲート電極15aを形成し、ゲート電極表面にアルミナ(Al<sub>2</sub>O<sub>3</sub>)16を形成する。この際に、アルミナの形成方法は、12～25wt%濃度の硫酸又は硝酸電解液で20℃の温度と130～250A/m<sup>2</sup>の電流密度の条件で露出されたゲート電極15aを陽極酸化して200Å程度のアルミナ(Al<sub>2</sub>O<sub>3</sub>)を形成する。

【0016】そして、図8のようにゲート電極15a及びアルミナ16をマスクとして用いて、露出された絶縁膜14を選択的に除去する。図9のように全表面にゲート電極15aの厚さと同じ厚さにPECVD法を用いて真性非晶質シリコン17を数ナノメートル程度の厚さに蒸着し、真性非晶質シリコン層17上にオーム接触のために高濃度n形ドーピング非晶質シリコン18を蒸着し、ドレーン用金属電極19を真空蒸着装置で蒸着する。この際に、アルミニウム15と真性非晶質シリコン17の厚さは同じにする。図10のように前記ゲート電極15aの上面の金属電極の所定部分を選択的に除去して本発明の第1実施例の垂直形薄膜トランジスタを製造する。

【0017】図11は本発明の第2実施例の垂直形薄膜トランジスタの断面図である。本発明の第2実施例の垂直形薄膜トランジスタの製造方法は、図4のようにガラス基板11上にソース電極12と高濃度n形ドーピング非晶質シリコン13を順次に蒸着する。図5のようにソース電極12と高濃度n形ドーピング非晶質シリコン13を選択的に除去しないで、すぐ全面に絶縁膜14とアルミニウム15を蒸着し、図7～図10のような工

程で垂直形薄膜トランジスターを製造する。

【0018】本発明の第1及び第2実施例において、真性非晶質シリコンの代わりに真性多結晶シリコンを形成することもでき、高濃度n形非晶質シリコンの代わりに微細結晶シリコン(Micro-crystal)を使用してもかまわない。

【0019】このように製造された本発明の第1及び第2実施例は次のような特徴がある。即ち、本発明の第1実施例は第2実施例より工程が複雑であるが、ゲート電極15aとソース電極間の寄生容量が小さくてノイズがない。反面、本発明の第2実施例は第1実施例よりゲート電極とソース電極間に寄生容量が発生し得るが、第1実施例の工程に比べて簡単である。

【0020】このように製造された本発明の動作は次のようである。図12は本発明の薄膜トランジスターを説明するための断面図で、上部のドレーン電極19a、19bを接地し、ゲート電極15aに正電圧を印加すると、ゲート電極15aの表面のアルミナ16に電界が形成され、アルミナと接している真性非晶質シリコン17の境界に負電化が集まることになる。

【0021】この際に、ゲート電極15aに所定限度以上のゲート電圧(しきい電圧)を印加すると、ソース/ドレーン間に電流流動可能チャンネルが作られるので、ソース電極12に電圧を印加すると電流が導通することになる。又、TFTの構造にあっては、ソース/ドレーン電極が上下部に分離されて形成されているので、電流がソース/ドレーン間に垂直方向に流れることになる。このような本発明の垂直形薄膜トランジスターを一般の平面形薄膜トランジスターに比べてみると、真性非晶質シリコン17の垂直厚さがチャンネルの長さとなり、ソース電極12の水平長さがチャンネルの幅となる。

【0022】

【発明の効果】以上説明したような本発明の垂直形薄膜トランジスターは次のような効果がある。従来の垂直形薄膜トランジスターに比べて、ゲート電圧でチャンネルを容易に調節し得る。即ち、従来のTFTの構造にあっては、ソース電極が上部ドレーン電極と下部ゲート電極の間に位置し、電流の導通時にソース電極上部にチャンネルが形成されないため、ソース電極上部の直列抵抗が高くなってチャンネル伝導度が大変小さくなる欠点があったが、本発明はチャンネルがゲート電極と活性層間の境界の全面に形成されるためチャンネル伝導度が大変良

好でチャンネルの調節が容易である。

【0023】ゲート印加電圧による電流のオン/オフ比がよいので高電流用トランジスターとしての動作が可能である。即ち、ゲートの両側にチャンネルが形成され、チャンネル伝導度が優れるためゲート印加電圧による電流のオン/オフ比が向上する。

#### 【図面の簡単な説明】

【図1】従来の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図2】図1の駆動方式を説明するための断面図である。

【図3】図1のゲート電圧によるソース/ドレーン電圧/電流のグラフである。

【図4】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図5】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図6】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図7】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図8】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図9】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

【図10】本発明の垂直形薄膜トランジスターの製造工程を示す断面図である。

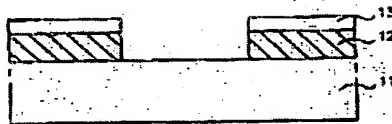
【図11】他の実施例の断面図である。

【図12】図4～図10の動作を説明するための断面図である。

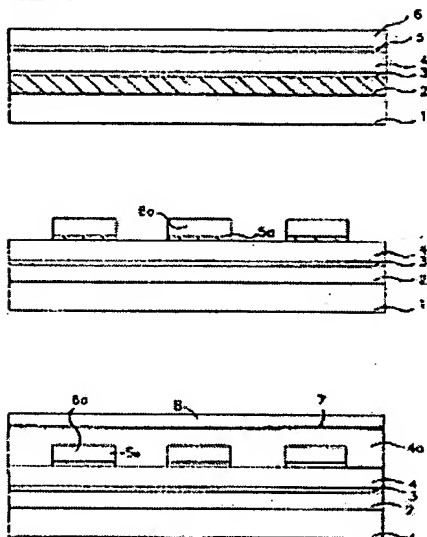
#### 【符号の説明】

- 11 ガラス基板
- 12 ソース電極
- 13 高濃度n形ドーピング非晶質シリコン
- 14 絶縁膜
- 15、15a アルミニウム ゲートシリコン
- 16 アルミナ
- 17 真性非晶質シリコン
- 18 高濃度n形ドーピング非晶質シリコン
- 19 金属電極
- 19a、19b ドレーン電極

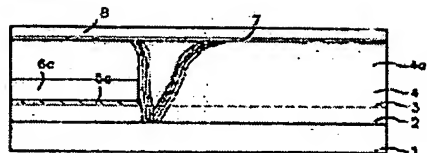
【図5】



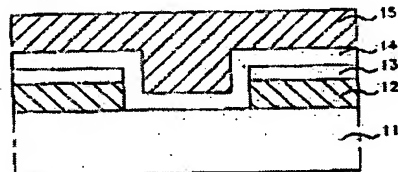
【図 1】



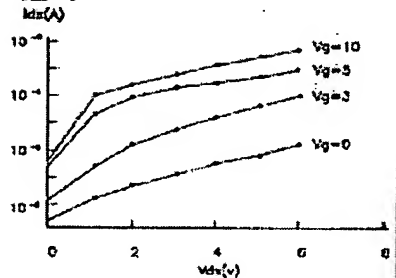
【図 2】



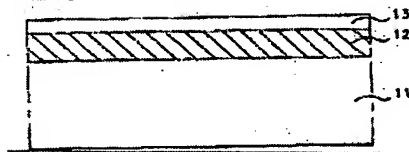
【図 3】



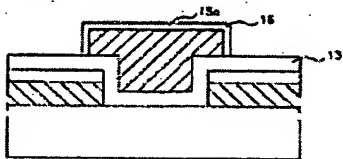
【図 3】



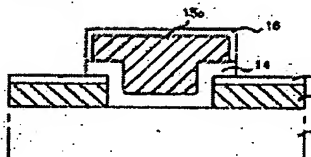
【図 4】



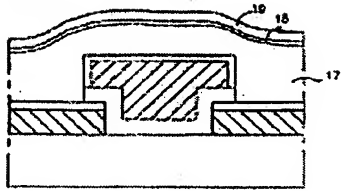
【図 7】



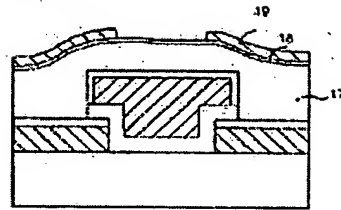
【図 8】



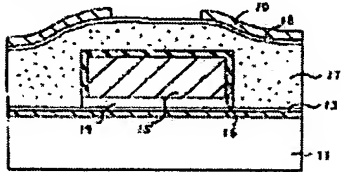
【図 9】



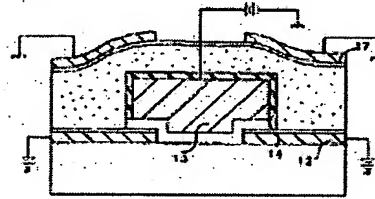
【図 10】



【図 11】



【図 12】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**